



## SYSTEM URUCHOMIENIOWY DSP

# ALS-G3-1369

*wer. sprz. 0.10, 0.11*

Opis techniczny

*wer. 0.11*



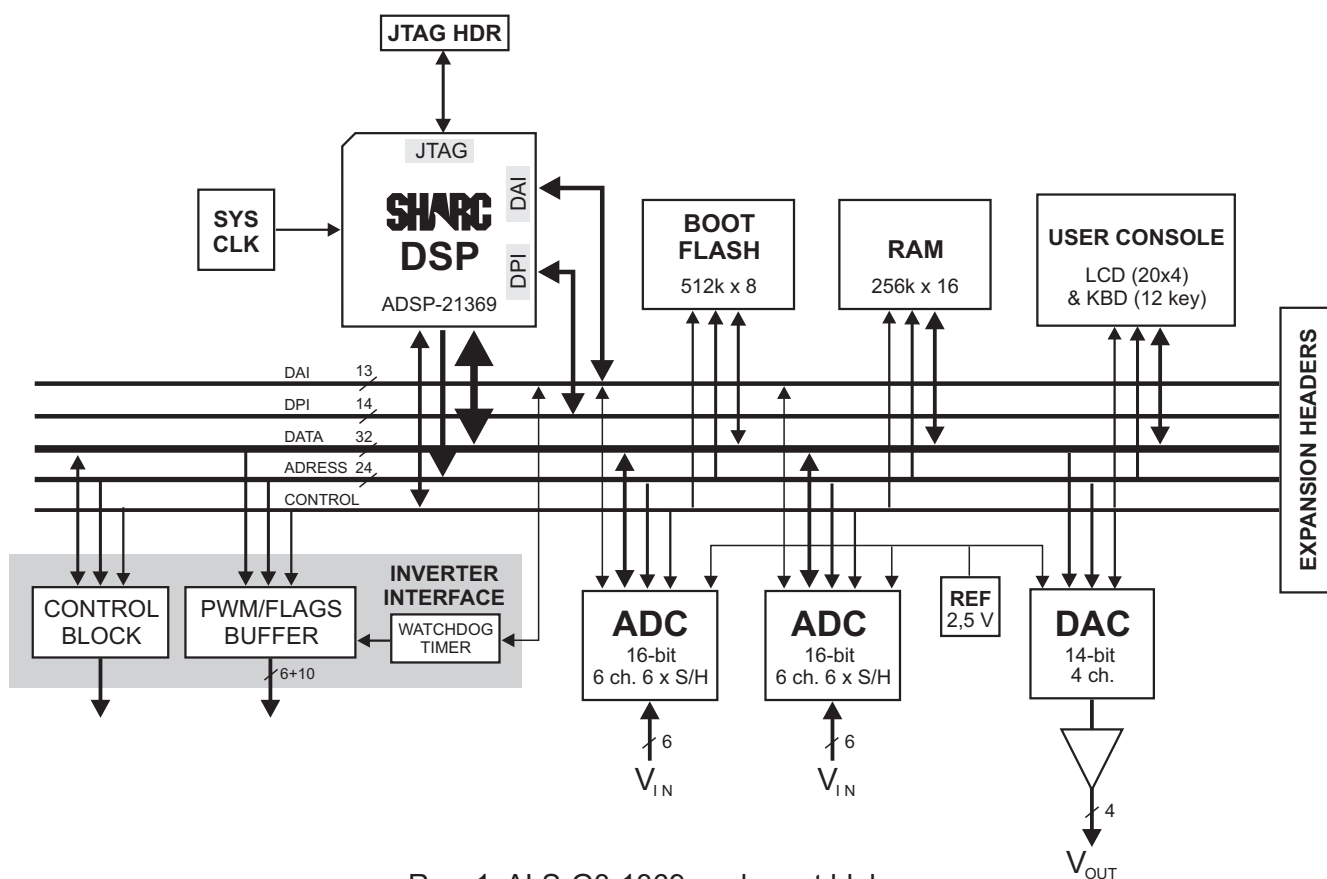
## Przeznaczenie oraz wyposażenie systemu

ALS-G3-1369 jest systemem uruchomieniowym ze zmiennoprzecinkowym procesorem sygnałowym rodziny SHARC™ 3-generacji typu ADSP-21369 (Analog Devices Inc.). Przeznaczony jest do wdrażania zaawansowanych algorytmów sterowania układami energoelektronicznymi oraz w technice pomiarowej. Oferuje znaczną moc obliczeniową połączoną z możliwością bezpośredniego sterowania przekształtnikami energoelektronicznymi - uzyskaną poprzez zastosowanie procesora sygnałowego wyposażonego w rozbudowany, 16-kanalowy, moduł generatora MSI.

Zastosowany w systemie interfejs analogowo-cyfrowy, wyposażony jest w dwa 6-kanalowe 16-bitowe przetworniki analogowo-cyfrowe z jednoczesnym próbkowaniem bipolarnych kanałów analogowych i programowalnym zakresem napięcia wejściowego. 4-kanalowy 14-bitowy przetwornik C/A z wyjściami napięciowymi, bipolarnymi ułatwia śledzenie przebiegów wielkości cyfrowych. Interfejs analogowo-cyfrowy posiada wspólny dla wszystkich elementów precyzyjny, wysokostabilny generator napięcia referencyjnego. System posiada zewnętrzną pamięć 8-bitową typu FLASH (Boot Memory) oraz 16-bitową typu SRAM (opcjonalnie MRAM). Wszystkie istotne użytkowo magistrale oraz linie sterujące doprowadzono do gniazd rozszerzeń sprzętowych. System wyposażono w gniazdo dołączone do interfejsu JTAG procesora sygnałowego umożliwiające dołączenie sondy emulacyjnej. Zastosowana konsola operatorska wyposażona w wyświetlacz LCD 20x4 oraz klawiaturę umożliwia zadawanie on-line parametrów roboczych oraz prezentację wartości cyfrowych.

System uruchomieniowy wymaga zasilania stabilizowanym napięciem o wartości +5V (+/-5%) z zewnętrznego zasilacza o wydajności prądowej 1,5A (typ.).

## Przeznaczenie oraz wyposażenie systemu (c.d.)



Rys. 1. ALS-G3-1369 - schemat blokowy

**Charakterystyka systemu**■ **procesor**

zmiennoprzecinkowy procesor sygnałowy Analog Devices Inc. typu ADSP-21369 (800 MIPS, 2400 MFLOPS, 2Mb SRAM)

■ **interfejs sondy emulacyjnej (JTAG)**■ **pamięć stała - FLASH (*boot memory*): AM29LV040B 512k x 8**■ **pamięć RAM: SRAM - CY7C1041DV33 256k x 16 (opcjonalnie: MRAM - MR2A16 256k x 16)**

pamięć niulotna MRAM może, po alokacji w odpowiednim obszarze adresowym procesora, pełnić rolę *boot memory*

■ **układ resetu**■ **blok przetworników analogowo-cyfrowych (A/C)**

zrealizowany w oparciu o układy typu AD7656BST (x2); 16-bit, 250 kSps, 12 kan. z równoczesnym próbkowaniem wszystkich kanałów, zakres  $U_{WE}$  - bipolarny, programowalny ( $\pm 2xU_{REF}$ ,  $\pm 4xU_{REF}$ ); wejścia kanałów analogowych nr 1-6 przetwornika nr 1 oraz nr 5 i 6 przetwornika nr 2 dołączone są do masy analogowej poprzez rezystory o wartości 200 Ohm ( $\pm 0.1\%$ ) co pozwala na bezpośrednią współpracę z przetwornikami pomiarowymi f-my LEM o wyjściach prądowych - zasilanych napięciem  $\pm 12$  do  $\pm 15$  V; kanały nr 1-4 przetwornika nr 2 są buforowane przez układ wzmacniaczy; posiadają one rezystancję wejściową o wartości 100 kOhm

■ **blok przetwornika cyfrowo-analogowego (C/A)**

zrealizowany w oparciu o układ typu AD7835; 14-bit, 4-kanały, wyjścia napięciowe - buforowane; zakres napięcia wyjściowego  $\pm 2xU_{REF}$

■ **źródło napięcia odniesienia**

precyzyjne, wysokostabilne; zrealizowane w oparciu o układ typu ADR441 ( $U_{REF}=2,5$  V); wspólne dla

## Przeznaczenie oraz wyposażenie systemu (c.d.)

■ **generator zegara systemowego**

częstotliwość generowanego sygnału: 20,0 lub 24,0 MHz - w zależności od wersji sprzętowej systemu uruchomieniowego

■ **interfejs przekształtnika energoelektronicznego**

oferuje: do 16 pojedynczych lub 8 zgrupowanych w parę kanałów MSI lub do 16 FLAG - 1-bitowych 2-kierunkowych portów cyfrowych oraz indywidualne linie sterujące - diagnostyczne przekształtnika; kompatybilny z interfejsem wbudowanym w przekształtnik rodziny LABINVERTER typu P3-5.0/550MFE; interfejs zawiera sprzętowy WATCHDOG TIMER, który uaktywnia sygnały MSI i wymaga w tym celu okresowego odświeżania, zapewnia blokadę sygnałów MSI w przypadku zatrzymania programu sterującego lub np. pracy krokowej

Z uwagi na współdzielność funkcji portu równoległego procesora na magistralę danych i generator MSI w celu uzyskania dostępu do poszczególnych kanałów MSI (lub portów 1-bitowych: FLAG0-15), port równoległy musi być ustawiony w 16-bitowy tryb pracy. W przypadku niewykorzystywania generatora port może pracować w domyślnym trybie 32-bitowym (lub innym).

■ **konsola operatorska**

wyświetlacz LCD 20x4 zn., klawiatura 12 klawiszy

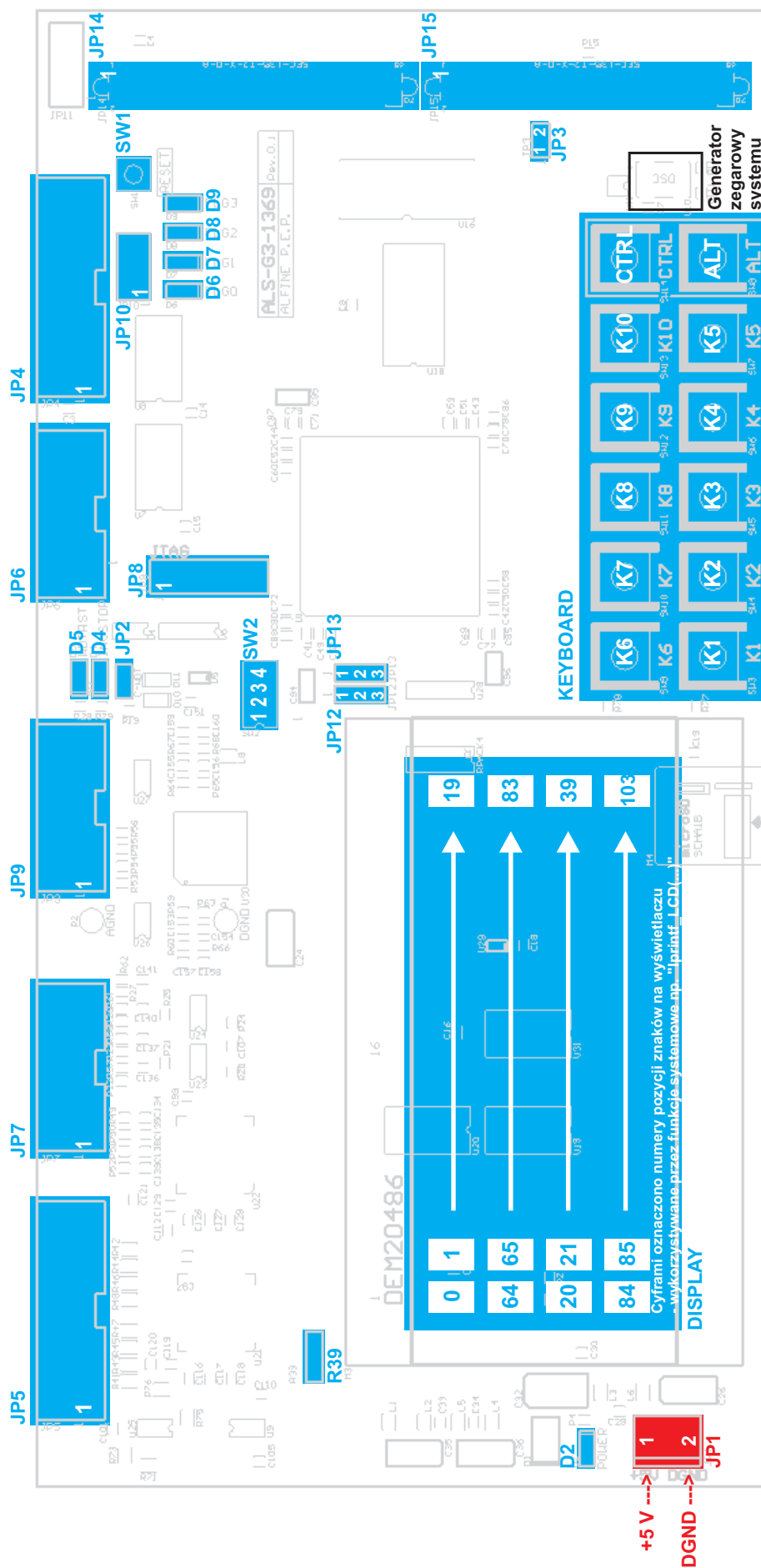
■ **łącza rozszerzające**

zapewniają dostęp do wszystkich istotnych magistral i linii sterujących systemu pozwalając na dołączenie zewnętrznych układów rozszerzających sprzętowo jego funkcje

■ **zasilanie**

zewnętrzne, napięciem stabilizowanym o wart. 5 V +/-5%; pobór prądu: 1,5 A (typ.); *pobór prądu w znaczącym stopniu zależy od częstotliwości zegara wewn. taktującego rdzeń procesora (DSP\_CORE) oraz typu i liczby aktywnych układów na strukturze DSP*

# Elementy sygnalizacyjne, nastawcze oraz połączeniowe



Rys. 2. ALS-G3-1369 - schemat funkcjonalny

## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

**JP1. Złącze**

Doprowadzenie zewnętrznego stabilizowanego napięcia zasilającego o wartości +5 V (+/-5%).  
Wydajność prądowa zasilacza: 1,5 A.

**Uwaga: zwiększenie wartości napięcia ponad podaną wartość lub odwrócenie jego polaryzacji może prowadzić do uszkodzenia elementów systemu uruchomieniowego !**

**JP3. Złącze**

Sterowanie umiejscowieniem zewnętrznych pamięci FLASH oraz RAM na mapie pamięci systemu:  
styki 1-2 zwarte: od adresu 0x04000000 256kx16 SRAM (bit syst. PKDIS<sup>1</sup>=1 lub 0), od adresu  
0x04400000 512kx8 FLASH (bit syst. PKDIS=1)

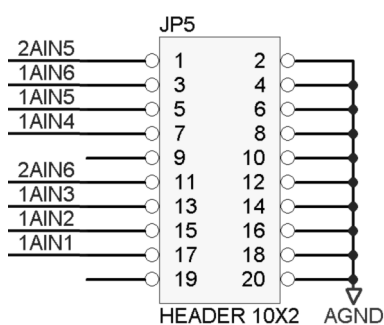
styki 1-2 otwarte: od adresu 0x04000000 512kx8 FLASH (bit syst. PKDIS=1), od adresu 0x04400000  
256kx16 SRAM (bit syst. PKDIS=1) - stan domyślny

Pamięć FLASH jest domyślną pamięcią *BOOT MEMORY* systemu !

<sup>1)</sup> Bit rejestrów AMICTL0-3 procesora sygnałowego (User's Manual "ADSP-21368 SHARC® Processor Hardware Reference. Includes ADSP-21367, ADSP-21369, ADSP-21371, ADSP-21375", Revision 1.0, September 2006)

**JP5. Złącze**

Łącze interfejsu A/C systemu (kompatyb. z SINVERTER P3-5.0/550) - wg specyfikacji j.n.



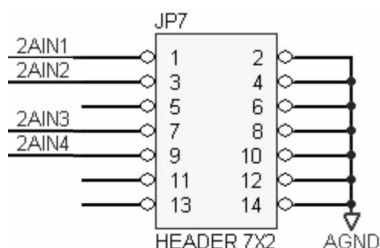
Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
2AIN5	WE	+/-12V	Przetw. nr 2, kanał nr 5
1AIN6	WE	+/-12V	Przetw. nr 1, kanał nr 6
1AIN5	WE	+/-12V	Przetw. nr 1, kanał nr 5
1AIN4	WE	+/-12V	Przetw. nr 1, kanał nr 4
2AIN6	WE	+/-12V	Przetw. nr 2, kanał nr 6
1AIN3	WE	+/-12V	Przetw. nr 1, kanał nr 3
1AIN2	WE	+/-12V	Przetw. nr 1, kanał nr 2
1AIN1	WE	+/-12V	Przetw. nr 1, kanał nr 1
AGND	Z	-	Masa analogowa

Oznaczenia:  
WE: wejście  
Z: zasilanie

Uwaga:  
wartość rezystancji wejściowej każdego z kanałów:  $R_{WE}=200\text{ Ohm (+/-0,1\%)}$ ; obwód wejściowy przystosowany jest do zamknięcia pętli prądowej

**JP7. Złącze**

Łącze interfejsu A/C systemu - wg specyfikacji j.n.



Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
2AIN1	WE	+/-12V	Przetw. nr 2, kanał nr 1
2AIN2	WE	+/-12V	Przetw. nr 2, kanał nr 2
2AIN3	WE	+/-12V	Przetw. nr 2, kanał nr 3
2AIN4	WE	+/-12V	Przetw. nr 2, kanał nr 4
AGND	Z	-	Masa analogowa

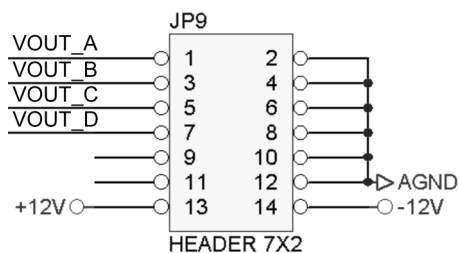
Oznaczenia:  
WE: wejście  
Z: zasilanie

Uwaga:  
wartość rezystancji wejściowej każdego z kanałów:  $R_{WE}=100\text{ kOhm (+/-1\%)}$

## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

**JP9. Złącze**

Złącze interfejsu C/A systemu - wg specyfikacji j.n.



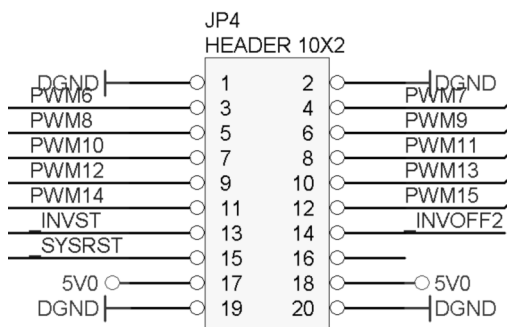
Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
VOUT_A	WY	+/5V	Wy. analog.; obc. 5 mA
VOUT_B	WY	+/5V	Wy. analog.; obc. 5 mA
VOUT_C	WY	+/5V	Wy. analog.; obc. 5 mA
VOUT_D	WY	+/5V	Wy. analog.; obc. 5 mA
AGND	Z	-	Masa analogowa
+12V	Z	+12V	Nap. syst. obc. 50mA
-12V	Z	-12V	Nap. syst. obc. 50mA

Oznaczenia:  
 WY: wyjście  
 Z: zasilanie

Uwaga:  
 napięcia +12V oraz -12V pochodzą z przetwornicy DC/DC systemu; mogą być wykorzystane do zasilania zewnętrznych układów analogowych

**JP4. Złącze**

Sygnały interfejsu przekształtnika energoelektronicznego - wg specyfikacji j.n.



Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
PWM6-15	WY	TTL	PWM1(kan. B)/PWM2/PWM3 /FLAG6-15
_INVST	WY	TTL	Sygnal: INVERTER_START
_SYSRST	WY	TTL	Sygnal: RESET systemu (DSP)
_INVOFF2	WE	TTL	Sygnal: INVERTER_OFF2
5V0	Z	TTL	Wyprowadz. zas. z systemu
DGND	Z	-	Masa cyfrowa

Oznaczenia:  
 WE: wejście  
 WY: wyjście  
 Z: zasilanie  
 TTL: 5,0 V

Uwagi:  
 1) Wyjścia PWM6/7-PWM14/15 odpowiadają następującym sygnałom generatora PWM procesora - odpowiednio: PWM1BH/BL, PWM2AH/AL, PWM2BH/BL, PWM3AH/AL, PWM3BH/BL  
 (User's Manual: "ADSP-21368 SHARC® Processor Hardware Reference. Includes ADSP-21367, ADSP-21369, ADSP-21371, ADSP-21375", Revision 1.0, September 2006)  
 2) Bufory wewnętrzne interfejsu NEGUJĄ wejściowe sygnały cyfrowe PWM0-15(FLAG0-15) generowane przez procesor  
 3) Linia \_INVOFF2 dołączona jest do DAI\_P20

## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

**JP6. Złącze**

Sygnaly interfejsu przekształtnika energoelektronicznego (SINVERTER P3-5.0/550) - wg specyfikacji j.n.

JP6 HEADER 7X2		Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
PWM0	1	PWM1	WY	TTL	PWM0/PWM1(kan. A)/FLAG0-5 Sygnał: INVERTER_START
PWM2	3	PWM3	WY	TTL	
PWM4	5	PWM5	WY	TTL	
INVST	7	INVFLT1	WE	TTL	
SYSRST	9	COV1	WE	TTL	
5V0	11	INVOFF1	WE	TTL	Sygnał: INVERTER_FAULT
DGND	13	DGND	Z	TTL	Sygnał: INVERTER_OVERVLT
			Z	-	Sygnał: INVERTER_OFF1
					Wyprowadz. zas. z systemu
					Masa cyfrowa

## Oznaczenia:

WE: wejście  
WY: wyjście  
Z: zasilanie  
TTL: 5,0 V

## Uwagi:

- 1) Dla sterowania przekształtnika SINVERTER P3-5.0/550 wyjścia PWM0/1, PWM2/3, PWM4/5 wyprowadzać winny pary sygnałów PWM; odpowiadają one następującym sygnałom generatora PWM procesora: PWM0AH/AL, PWM0BH/BL, PWM1AH/AL  
(\*ADSP-21368 SHARC® Processor Hardware Reference. Includes ADSP-21367, ADSP-21369, ADSP-21371, ADSP-21375\*, Revision 1.0, September 2006)
- 2) Dla sterowania przekształtnika SINVERTER P3-5.0/550 sygnały na wyjściach PWM0/1, PWM2/3, PWM4/5 powinny posiadać stan aktywny (załączający zawory) NISKI (TTL LOW)
- 3) Bufory wewnętrzne interfejsu mogą, w zależności od wersji systemu uruchomieniowego, NEGOWAĆ wejściowe sygnały cyfrowe PWM0-15(FLAG0-15) generowane przez procesor, na co należy zwrócić szczególną uwagę - opis na stronie dotyczącej zmian w poszcz. wersjach sprzętowych
- 4) Linia \_INVFLT1 dołączona jest do DAI\_P17  
Linia \_COV1 dołączona jest do DAI\_P18  
Linia \_INVOFF1 dołączona jest do DAI\_P19

**JP2. Złącze**

Gniazdo dla dołączenia zewnętrznego kondensatora wyznaczającego stałą czasową obwodu RC układu WATCHDOG\_TIMER interfejsu przekształtnika. Wartość rezystancji obwodu RC: 100 kOhm. Domyślna wartość pojemności kondensatora: 4,7 nF.

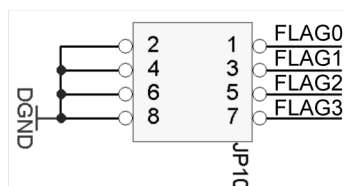
Stała czasowa obwodu winna być większa od okresu odświeżania układu WATCHDOG\_TIMER.

**JP8. Złącze**

Gniazdo interfejsu JTAG procesora (zgodne ze specyfikacją zawartą w dokumencie EE-68 dostępnym na stronie internetowej: <http://www.analog.com/processors/sharc/technicalLibrary/applicationNotes/index.html>)

**JP10. Złącze**

Buforowane WYJŚCIE cyfrowe w standardzie TTL LV sygnałów FLAG0-3 procesora - wg opisu j.n.

**JP12. Złącze**

Wybór połączenia wyjścia BUSY przetwornika A/C nr 1 z pinem procesora:

zwarte 1-2: BUSY -> DAI\_P10

zwarte 2-3: BUSY -> FLAG0 - stan domyślny



## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

**JP13. Złącze**

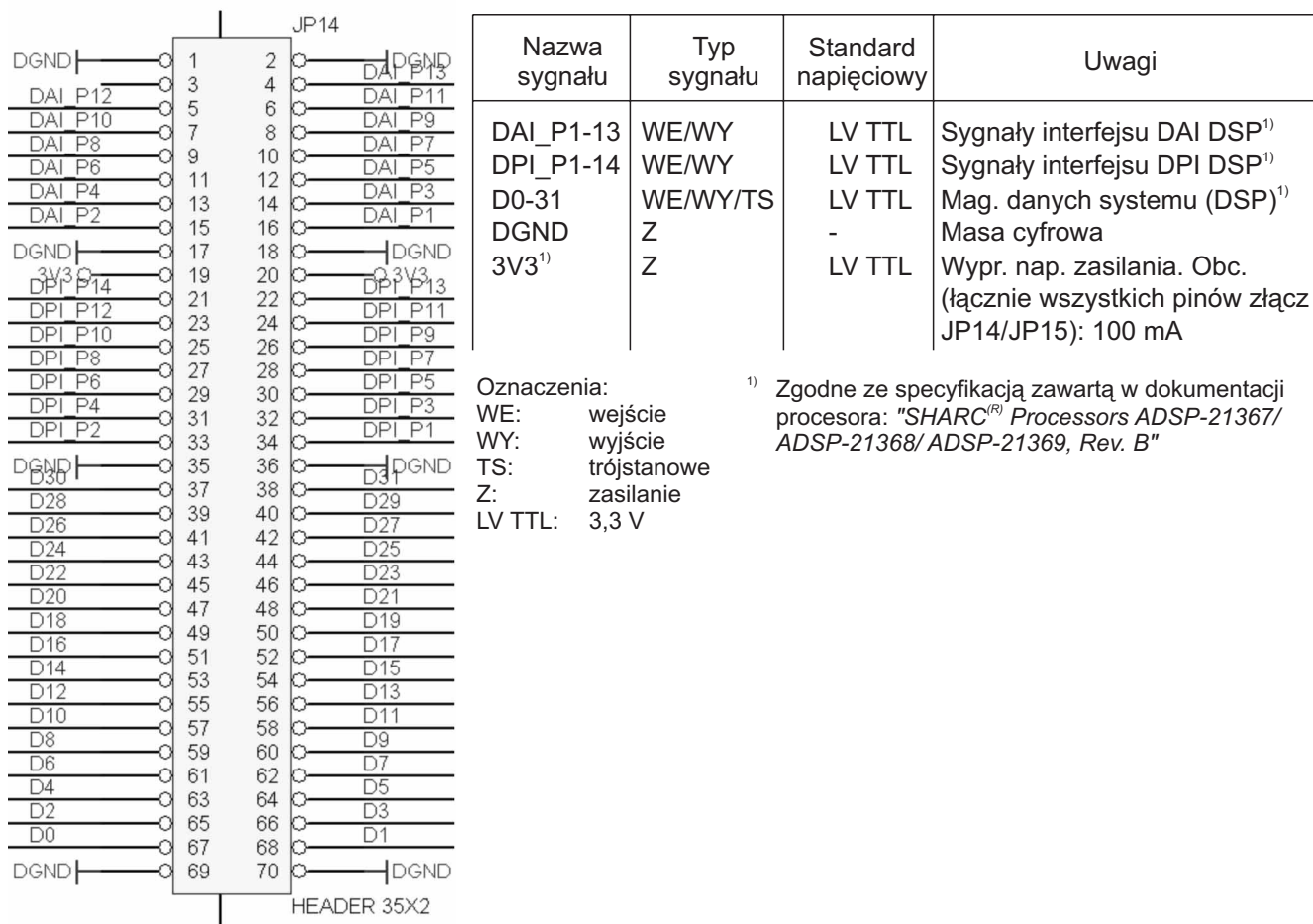
Wybór połączenia wyjścia BUSY przetwornika A/C nr 2 z odpowiednim pinem procesora:

zwarte 1-2: BUSY -> DAI\_P11

zwarte 2-3: BUSY -> FLAG1

**JP14. Złącze**

WE/WY sygnałów magistral wewnętrznych systemu uruchomieniowego - wg specyfikacji j.n.



## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

## JP15. Złącze

WE/WY sygnałów magistral wewnętrznych systemu uruchomieniowego - wg specyfikacji j.n.

JP15		JP15		Nazwa sygnału	Typ sygnału	Standard napięciowy	Uwagi
DGND	1	2	DGND	A0-23	WY	LV TTL	Mag. adresowa systemu (DSP) <sup>1)</sup>
A0	3	4	A1	_MS0	WY	LV TTL	Sygn. selekcji obsz. adr. (DSP) <sup>1)</sup>
A2	5	6	A3	_MS1	WY	LV TTL	Sygn. selekcji obsz. adr. (DSP) <sup>1)</sup>
A4	7	8	A5	SDCAS	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A6	9	10	A7	SDCKE	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A8	11	12	A9	SDRAS	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A10	13	14	A11	SDWE	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A12	15	16	A13	_RD	WY	LV TTL	Sygn. odczytu syst. (DSP) <sup>1)</sup>
A14	17	18	A15	_WR	WY	LV TTL	Sygn. zapisu syst. (DSP) <sup>1)</sup>
A16	19	20	A17	ACK	WE	LV TTL	Sygn. ACK syst. (DSP) <sup>1)</sup>
A18	21	22	A19	SDCLK0	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A20	23	24	A21	SDCLK1	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
A22	25	26	A23	SDA10	WY	LV TTL	Sygn. kontr. SDRAM (DSP) <sup>1)</sup>
DGND	27	28	DGND	FLAG0-3	WE/WY	LV TTL	Sygn. FLAG0-3 (DSP) <sup>1)</sup>
MS0	29	30	MS1	_RSTIN	WE	LV TTL	Sygn. zerowania zewn. syst.
SDCAS	31	32	SDCKE	_SYSRST	WY	LV TTL	RESET syst. - aktywny stan: LO
SDRAS	33	34	SDWE	RSTO	WY	LV TTL	Sygn. RSTOUT/CLKO (DSP) <sup>1)</sup>
RD	35	36	WR	EXTCLK	WY	LV TTL	Sygn. zeg. system.: 24,0 MHz
ACK	37	38	SDCLK0	DGND	Z	-	Masa cyfrowa
SDCLK1	39	40	SDA10	3V3 <sup>1)</sup>	Z	LV TTL	Wypr. nap. zasilania. Obc. (łącznie wszystkich pinów złącza JP14/JP15): 100 mA
DGND	41	42	DGND	5V0	Z	TTL	Wypr. nap. zasilania. Obc. (łącznie wszystkich pinów złącza JP15): do 500 mA (wartość zależna również od obciążalności zewnętrznego zasilacza)
FLAG0	43	44	FLAG1				
FLAG2	45	46	FLAG3				
RSTIN	47	48	SYSRST				
3V3	49	50	3V3				
DGND	51	52	DGND				
	53	54	RSTO				
DGND	55	56	DGND				
	57	58	EXTCLK				
	59	60					
	61	62					
3V3	63	64	3V3				
DGND	65	66	DGND				
	67	68					
5V0	69	70	5V0				

Oznaczenia:  
 WE: wejście  
 WY: wyjście  
 Z: zasilanie  
 LV TTL: 3,3 V  
 TTL: 5,0 V

<sup>1)</sup> Zgodnie ze specyfikacją zawartą w dokumentacji procesora: "SHARC<sup>®</sup> Processors ADSP-21367/ADSP-21368/ADSP-21369, Rev. B"

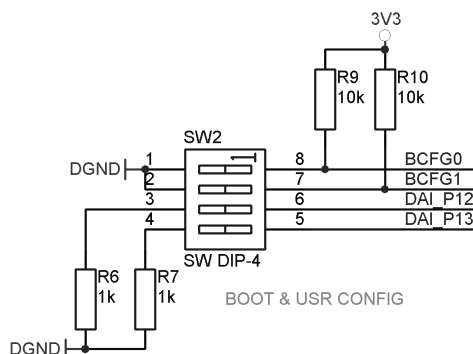
## SW1. Przełącznik astabilny

Wciśnięcie powoduje generację sygnału systemowego \_RESET

## SW2. Przełącznik bistabilny - poczwórny

Przełączniki nr 1 i 2 zmieniają stany logiczne na liniach systemowych BOOT\_CFG1-2 DSP (przełącznik włączony ON - stan LO, przełącznik wyłączony OFF - stan HI) umożliwiając zmianę trybu bootowania procesora. Stan domyślny: 1 - ON, 2 - OFF - tryb bootowania z 8-bitowej pamięci równoległej (tutaj FLASH).

Przełączniki nr 3 i 4 umożliwiają wymuszenie na liniach odpowiednio DAI\_P12 i DAI\_P13 stanów LO - działają zgodnie ze schematem po prawej stronie. Umożliwiają zmianę konfiguracji systemu wg programu użytkownika. Stan domyślny: 3 - OFF, 4 - OFF.



---

## Elementy sygnalizacyjne, nastawcze oraz połączeniowe (c.d.)

### **D2. Dioda (LED)**

Sygnalizacja obecności zewnętrznego napięcia +5 V zasilającego system uruchomieniowy

### **D4. Dioda (LED)**

Sygnalizacja blokady impulsów wyjściowych interfejsu przekształtnika energoelektronicznego

### **D5. Dioda (LED)**

Sygnalizacja blokady impulsów wyjściowych interfejsu przekształtnika przez WATCHDOG TIMER

### **D6-9. Dioda (LED)**

Diody dołączone są, poprzez bufony, do linii procesora: D6->FLAG0, D7->FLAG1, D8->FLAG2, D9->FLAG3

### **KEYBOARD**

Klawiatura - złożona z 12 przycisków astabilnych; obsługiwana jest funkcją systemową "read\_kbd()"

### **DISPLAY**

Wyświetlacz - typu LCD 20x4 zn. ; obsługiwany jest systemowymi funkcjami: "init\_LCD(...)", "clr\_LCD(...)", "lprintf\_LCD(...)".

### **R39. Potencjometr wieloobrotowy**

Nastawianie kontrastu wyświetlacza LCD.

Na nośniku CD wchodzącym w skład zestawu zawarto:

- przykładowy projekt dla środowiska VisualDSP++ ver. 4.5 przekrojowo ilustrujący sposób wykorzystania systemu uruchomieniowego
- specjalizowane moduły biblioteczne (Visual DSP++ 4.5)
- sterownik dla narzędzia systemowego FlashProgrammer VisualDSP++ 4.5 - *FlashProgrammer Driver*

Pamięć inicjalizująca procesor (FLASH BOOT MEMORY) zaprogramowana jest domyślnie w oparciu o plik SKELETON.LDR - wygenerowanym przez projekt "SKELETON.DPJ".

---

## Istotne zmiany sprzętowe w poszczególnych wersjach systemu uruchomieniowego

### **Wersja 0.10 - wyjściowa**

1. Bufory wewnętrzne interfejsu przekształtnika energoelektronicznego NEGUJĄ sygnały wyjściowe PWM0-15 generowane przez moduł PWM procesora oraz sygnały FLAG0-15
2. Częstotliwość zegara systemowego: 24,0 MHz

### **Wersja 0.11**

1. Bufory wewnętrzne interfejsu przekształtnika energoelektronicznego NIE NEGUJĄ sygnałów wyjściowych PWM0-15 generowanych przez moduł PWM procesora oraz sygnałów FLAG0-15
2. Częstotliwość zegara systemowego: 20,0 MHz



*DSP Technology from Analog Devices,  
DSP Solutions from ALFINE*

**ALFINE P.E.P.**

ul. Poznańska 30-32, PL-62-080 Tarnowo Podgórne  
tel.: +48 61 8966934, fax: +48 61 8164076  
e-mail: [analog@alfine.pl](mailto:analog@alfine.pl) • <http://www.alfine.pl>